

電流モードアクティブピクセルセンサ用オンチップ信号処理

中村 淳一¹⁾、Bedabrata Pain²⁾、野本 哲夫¹⁾、中村 力¹⁾、Eric R. Fossum³⁾

- 1) オリパス光学工業(株)
- 2) ジェット推進研究所
- 3) フォトビット

1) 東京都八王子市久保山町 2-3 TEL: 0426-91-8076 E-mail: j_nakamura@ot.olympus.co.jp

あらまし 電流モードのアクティブピクセルセンサ用オンチップ信号処理について述べる。カレントコピアセルをベースにした電流モードの固定パターンノイズ(FPN)抑圧回路、および、高分解能、中低速読み出し応用に適合する列並列アーキテクチャを想定した電流モード2次 Δ - Σ オーバサンプリングA/D変換器の設計と評価結果を報告する。

キーワード イメージセンサ、アクティブピクセルセンサ、固定パターンノイズ抑圧、A/D変換、電流モード

On-Focal-Plane Signal Processing for Current-Mode Active Pixel Image Sensors

Junichi Nakamura¹⁾, Bedabrata Pain²⁾, Tetsuo Nomoto¹⁾,
Tsutomu Nakamura¹⁾, and Eric R. Fossum³⁾

- 1) Olympus Optical Co., Ltd.
- 2) Jet Propulsion Laboratory, California, USA
- 3) Photobit Corporation, California, USA

1) 2-3 Kuboyama, Hachioji, Tokyo, 192, Japan
TEL: 0426-91-8076 E-mail: j_nakamura@ot.olympus.co.jp

Abstract On-focal-plane signal processing for current-mode active pixel sensor(APS) including fixed pattern noise (FPN) suppression and high resolution analog-to-digital conversion(ADC) is presented. An FPN suppression circuit that removes the offset current variation between pixels by using a combination of an n-type and a p-type current copier cell is described. Also, operation and performance of a current-mode second-order incremental Δ - Σ A/D converter with column parallel architecture and for high resolution and medium-slow-speed application is presented.

key words Image sensor, active pixel sensor, fixed pattern noise suppression, A/D conversion, current-mode

1. はじめに

電荷変調素子(Charge Modulation Device:CMD)イメージセンサ[1]に代表される電流出力のアクティブピクセルセンサ(APS)は、通常、電流-電圧変換アンプにより電圧信号に変換され、後段の信号処理が行われるが、この際、ビデオラインの電位変動がないため、高速読み出しに適している。しかし、APS特有の画素毎のオフセット電流ばらつきによる固定パターン雑音(FPN)が生じる。オンチップ FPN 抑圧回路の集積化が望まれる。

また、A/D 変換器をオンチップで集積化すれば、イメージセンサと DSP とを直接、接続することができ、システムの部品点数低減、信頼性向上が図れる。

本研究では、電流モードの APS 用 FPN 抑圧回路および高分解能、列並列方式オンチップ A/D 変換器を電流モードの回路で実現する事を試みた。その基本ブロックはカレントコピャセル[2]である。本論では、まず、カレントコピャセルの動作、およびその問題点について説明する。次に FPN 抑圧回路の設計および実験結果を報告する。最後に設計、試作した電流モード 2 次 incremental Δ - Σ A/D 変換器について述べる。

2. カレントコピャセル[2]

図 1 にカレントコピャセルの構成および駆動タイミングを示す。カレントコピャセルは、MOS トランジスタ M_M 、容量 C およびスイッチ S_X 、 S_Y 、 S_Z から成る。まず、フェーズ 0 で、 S_X 、 S_Y が閉じ、入力電流 I_0 がセルに流れ込む。平衡状態に達すると容量 C にかかる電圧は、 I_0 に応じたゲート・ソース電圧となる。フェーズ 1 でスイッチ S_X が開き S_Z が閉じてセルは負荷に接続されるが、このとき流れ込む電流 I_1 はさきの容量 C 端の電位によってコントロールされ、従って、 I_0 に等しい。

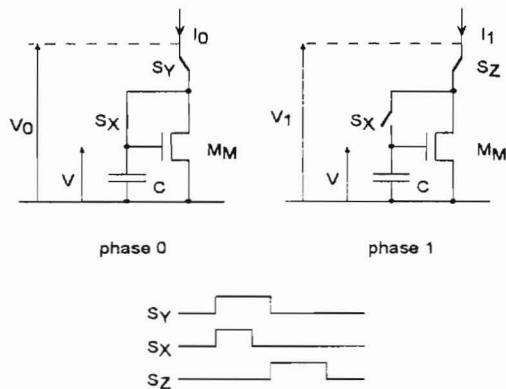


図 1 カレントコピャセル

以上の説明からわかるように、1つの MOS トランジスタを時分割で使っているため、通常のカレントミラーに見られるような閾値電圧のばらつきに起因する入出力電流のミスマッチは原理的に生じない。また、容量 C は線形容量である必要がないため、通常のデジタル CMOS プロセスで製作可能である。しかし、このカレントコピャセルにも以下のような問題点がある。

まず、第 1 に、クロックフィードスルーの問題がある。図 2 に示すように、スイッチが導通しているとき、そのチャンネル領域には、

$$q = -C_{ox} \cdot W \cdot L \cdot (V_{DD} - V_{th}) \quad (1)$$

なる電荷が誘起されている。ここで、 C_{ox} は単位面積あたりの酸化膜容量、 W :ゲート幅、 L :ゲート長、 V_{DD} :電源電圧、 V_{th} :閾値電圧である。スイッチ S_X がオフすると、この電荷の 1 部 δq がキャパシタ C に流れ込む。これをチャージインジェクションと呼ぶ。エラー電圧は

$$\delta V = \delta q / C \quad (2)$$

で与えられる。さらに、ゲート・ソース間のオーバーラップ容量を介したエラー電圧が発生する。結果、このエラー電圧は、出力電流に

$$\delta I = g_m \cdot \delta V \quad (3)$$

のエラーを生じさせる。ここで、 g_m はトランジスタ M_M のトランスコンダクタンス、 δV はチャージインジェクション、オーバーラップ容量によるエラー電圧である。

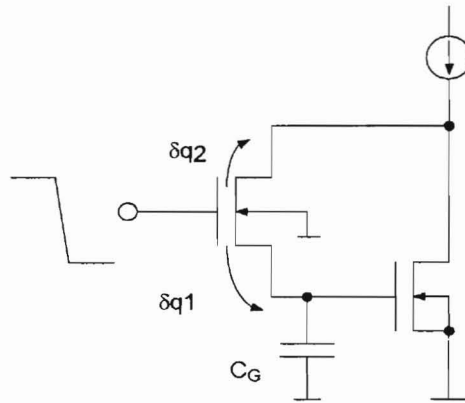


図 2 : Charge Injection

第 2 に、 M_M のドレイン電圧がフェーズ 0 とフェーズ 1 で異なるため、有限のドレインコンダクタンスにより、 I_0 と I_1 は等しくならない。これをアウトプットコンダクタンス効果と呼ぶ。

以下に述べるカレントコピャセルは、上記の問題点の 1 つ以上に対して対策を施している。

3. FPN抑圧回路

電流モードのAPSであるCMDイメージセンサにおいて、カレントコピアセルを使ってFPN抑圧回路をオンチップに集積化した例が報告されている[3]。列毎に、2つのカレントコピアセルを配し、一方に信号+オフセット、他方にオフセット電流を記憶し、これらを同時に読み出し、オフチップで差をとることで、FPNを抑圧する。25 μ AのCMD飽和電流に対して、0.5%にFPNレベルを抑圧している。これに対し、今回検討したFPN抑圧回路は、4項で述べるA/D変換器に接続するため、シングルエンドの構成とした。図3に回路構成を示す。CMDイメージセンサを想定し、0-50 μ Aの電流(飽和信号電流25 μ A、オフセット電流25 μ A)を扱えるように設計したが、電流モードCMOSイメージセンサへの適用も可能である[4]。

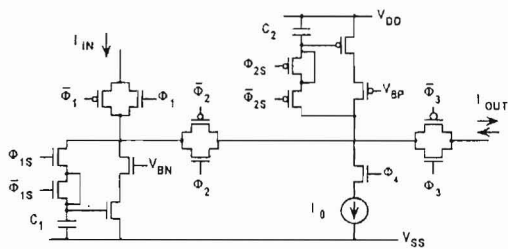


図3：FPN抑圧回路の構成

nチャネルセルとpチャネルセルを組み合わせ、シングルエンド化している。クロックフィードスルーを抑えるためスイッチにダミートランジスタ[5]を、また、アウトプットコンダクタンス効果を抑えるためカスコードトランジスタ M_{cas} を付加している。

図4に2つのパルスタイミングを示す。まず、第1のタイミング(図4(a))における動作を説明する。フェーズ ϕ_1 で信号電流 I_{sig} とオフセット電流 I_{off} の和が、nチャネルセルに記憶される。画素をリセットした後、フェーズ ϕ_2 で、オフセット電流 I_{off} がFPN抑圧回路に流れ込むが、このとき、nチャネルセルは $(I_{sig} + I_{off})$ を引き込むため、入力フェーズにあるpチャネルセルは、

$$I_p = (I_{sig} + I_{off}) - I_{off} + I_0 = I_{sig} + I_0 \quad (4)$$

を記憶することになる。すなわち、画素毎にばらつくオフセット電流成分を含まない信号成分のみを記憶する。ここで、バイアス電流 I_0 は I_{sig} が小さいときセトリングタイムが長くなるのを抑えるために付加している。フェーズ ϕ_3 で回路が負荷に繋がると、信号成分 I_{sig} が回路から流れ出す。

次に第2のタイミング(図4(b))を説明する。フェーズ ϕ_1 で信号電流 I_{sig} とオフセット電流 I_{off} の和が、nチャネルセルに記憶される。画素をリセットしている間に、この電流をpチャネルセルに転送、記憶させる。次にオフセット電流 I_{off} をnチャネルセルに

記憶させる。この時点で、nチャネルセルには、 I_{off} が、pチャネルセルには $(I_{sig} + I_{off})$ が記憶されている。フェーズ ϕ_3 で回路が負荷に繋がると、その差である信号成分 I_{sig} が回路から流れ出すことになる。このタイミングでは、 I_0 を必要としない。

簡単な解析から、 $I_{sig} = 0$ のとき、すなわち $I_1 = I_2 = I_{off}$ のときのクロックフィードスルー δI は、

$$\delta I = \delta I_n(I_{off}) + \delta I_p(I_0) \quad \text{for pulse pattern I} \quad (5)$$

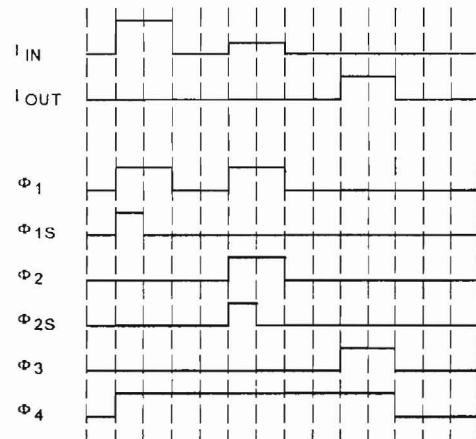
$$\delta I = -\delta I_p(I_{off}) \quad \text{for pulse pattern II} \quad (6)$$

($I_1 < I_2$ のとき)

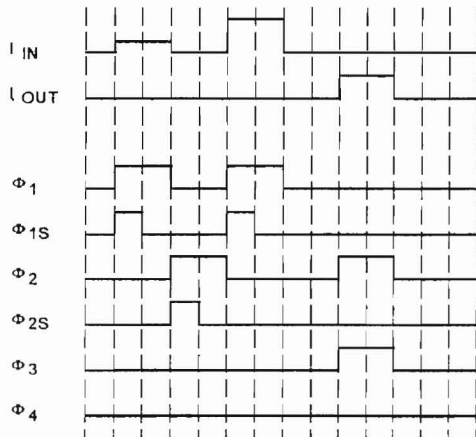
$$\delta I = +\delta I_p(I_{off}) \quad \text{for pulse pattern II} \quad (7)$$

($I_1 > I_2$ のとき)

であることが示せる。



(a)



(b)

図4：パルスタイミング

2 μm 1層ポリ、2層メタル CMOS プロセスで製作したテストデバイスの変換特性を図5に示す。良好な線形性が得られている。実験結果は(5)-(7)と一致する。ノイズ解析から、第1のタイミングの方が低ノイズであることが期待できる。

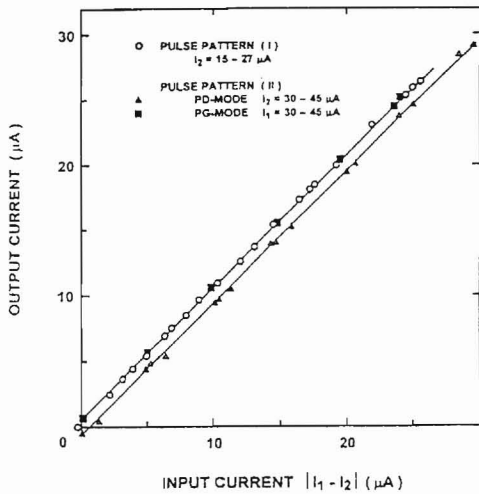


図5：FPN抑圧回路の変換特性

4. 電流モード2次 incremental Δ - Σ A/D 変換器

高分解能デジタルイメージセンサを実現するための列並列オンチップ Δ - Σ オーバサンプリング A/D 変換器を検討した。列並列アーキテクチャでは、列毎あるいは、 n 列毎に1つの A/D 変換器を配し、個々の A/D 変換器を並列に動作させる。変換時間は1水平期間あるいは、その n 分の1となり、画素レートで A/D 変換する場合に比べ、信号周波数帯域を落としてノイズを低減することができる。

A/D 変換器の量子化ノイズは、そのパワーが DC からナイキスト周波数に均一に分布するホワイトノイズと見なすことができる。トータルノイズパワーは一定であるので、サンプリング周波数を上げることで、量子化ノイズスペクトラムを減少させることができる。さらに、ノイズシェーピングと呼ばれる技術により、ノイズスペクトラムの低域成分を信号周波数帯域外に押しやり、その後、ローパスフィルターを通すことで、高い S/N を得ることができる。最もポピュラーなノイズシェーピングとして、 Δ - Σ 変調と呼ばれる方法がある[6]。

一般的にオーバサンプリング A/D 変換器は、ナイキストレート A/D 変換器に比べ、精度の高いアナログ部品を必要としない。その代償として、高速で複雑なデジタル信号処理部を必要とするが、この特長は微細化 CMOS デバイスの使用を前提にした場合、魅力

的である。

第6図に電流モード2次 incremental Δ - Σ A/D 変換器のブロック図を示す。文献[7]で報告されたアーキテクチャをベースに、電圧モード(スイッチトキャパシタ:SC)の構成から、電流モード(スイッチトカレント:SI)の構成に変更した。積分器、比較器(1ビット A/D 変換器)、1ビット D/A 変換器から成る1次 Δ - Σ モジュレータをカスケードに接続しているため、ループ不安定性の問題はない。2次のモジュレータを採用した理由は、1次モジュレータに比べ大幅に変換時間を短縮でき、また、高次モジュレータの採用によるチップ面積、消費電力の増大を避けるためである。

第1ループ内の比較器出力 a、第2ループ内の比較器出力 b は、積分器の出力電流が基準電流 I_{REF} より大きいとき、“1”、それ以外るとき“0”となる。比較器の出力が“1”のとき、D/A 変換器は $-I_{REF}$ を出力する。

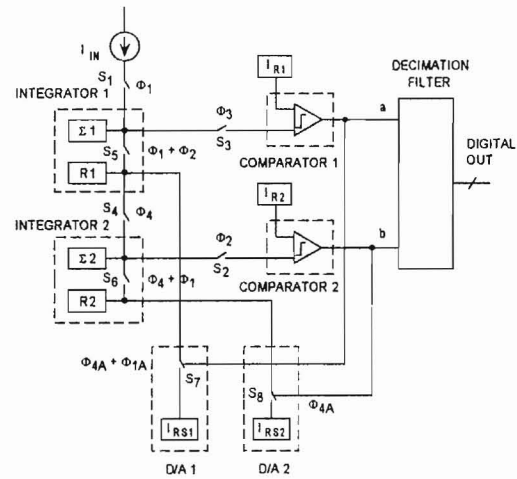


図6 電流モード2次 incremental Δ - Σ A/D 変換器のブロック図

第1ループ内の電流積分器の出力電流の振る舞いを図7に示す。比較器の出力は、“0”、“1”をとるが、それを多数のサイクルに亘って平均化した値は入力電流に比例する。

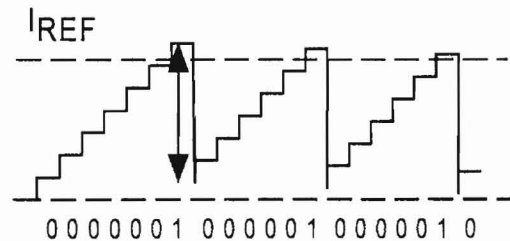


図7 積分器の出力電流の振る舞い

第1、第2の積分器の出力電流は、それぞれ次式で与えられる。

$$I_{C2}[p,3] = p I_m - \sum_{i=1}^{p-1} a_i I_{ref} \quad (8)$$

$$I_{C2}[p,2] = \frac{(p-1)p}{2} I_m - \sum_{i=1}^{p-1} a_i (p-i) I_{ref} - \sum_{i=1}^{p-1} b_i I_{ref} \quad (9)$$

ここで、 p は積分サイクルである。

第6図のデジタルフィルターは、 a, b から

$$DN = \sum_{i=1}^{p-1} a_i (p-i) + \sum_{i=1}^{p-1} b_i \quad (10)$$

で与えられるデジタル値を発生させる。積分サイクル p と分解能 n (ビット)の関係は次式で与えられる。

$$n = \text{lb}\{(p-1)p/4\} \quad (11)$$

電流積分器に使用したカレントコピャセルの回路構成を図8に示す。このセルは S^2I セル[8]と呼ばれ、2段階で電流を記憶することで、クロックフィードスルーを入力電流に依らず、一定にすることができる。このセルの動作を説明する。まず、 ϕ_{1A} をオンすると、入力電流 I_{IN} と $V_{ref,p}$ で制御されるバイアス電流 I_B が n チャネルカレントコピャセルに記憶される。 ϕ_{1A} がオフすると、クロックフィードスルーによる入力電流に依存するエラー電流 δI_M が生じる。すなわち、 n チャネルセルには、 $I_{IN} + I_B + \delta I_M$ が記憶されることになる。次に、 I_{IN} を n チャネルセルに流し込みながら、 ϕ_{1B} をオンすると p チャネルカレントコピャセルには、 $I_B + \delta I_M$ がコピーされ、

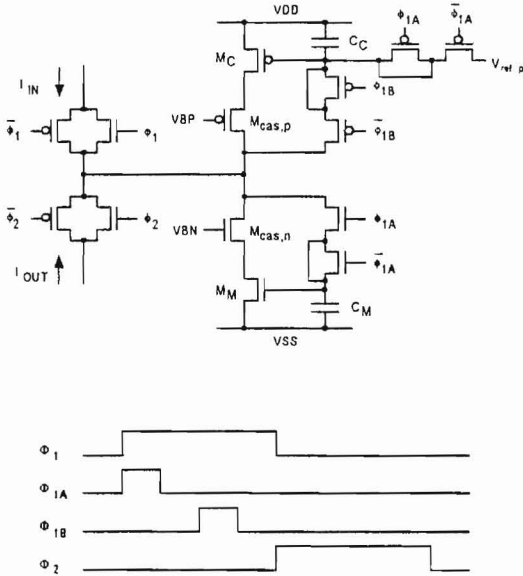


図8：nチャネル S^2I セル

ϕ_{1A} がオフしたとき、 $I_B + \delta I_M + \delta I_C$ が記憶される。ここで、 δI_C は一定のバイアス電流 I_B に対するエラー電流であり、従って一定値となる。出力フェーズで、これらの電流を同時に読み出せば、出力電流 I_{OUT} は、

$$I_{OUT} = (I_{IN} + I_B + \delta I_M) - (I_B + \delta I_M + \delta I_C) = I_{IN} - \delta I_C \quad (12)$$

となり、クロックフィードスルーは入力電流に依らず、一定となる。

$2\mu\text{m}$ 1層ポリ、2層メタル CMOS プロセスで製作した n チャネル S^2I カレントコピャセルの実験結果を図9に示す。図中、 a は正常動作で、入力電流範囲 $0 \sim 25\mu\text{A}$ に亙るの偏差は $\pm 22\text{nA}$ 以内であった。 b はカスコードトランジスタを動作させなかった場合、 c はカスコードトランジスタを動作させているが動作を行わなかった場合の実験結果である。

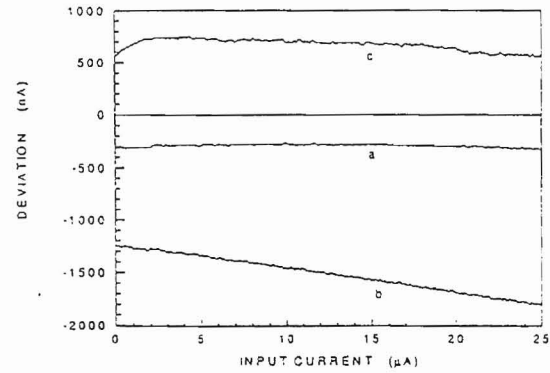


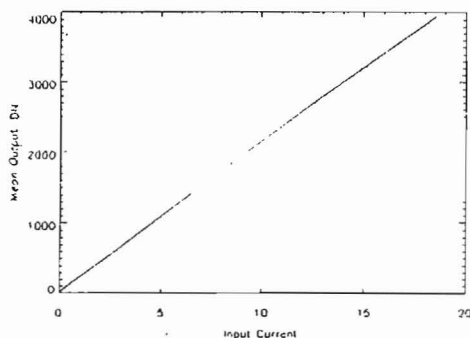
図9 S^2I セルのエラー電流

電流積分器は、 n チャネル S^2I セルと p チャネル S^2I セルをカスケード接続して構成した。図6における Σ が n チャネル S^2I セル、 R が p チャネル S^2I セルで、それぞれ加算器、テンポラルレジスタとして動作する。

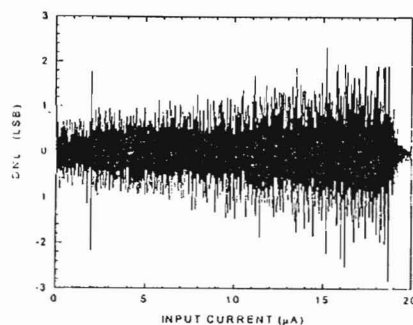
$2\mu\text{m}$ 1層ポリ、2層メタル CMOS プロセスで製作した電流モード2次 incremental Δ - Σ モジュレータとオフチップのデジタルフィルターでA/D変換器を構成したときの変換特性を図10に示す。12ビット分解能を得るため積分サイクル p を(11)にしたがって $p=92$ とした。表1に電流モード2次 incremental Δ - Σ A/D変換器の特性をまとめる。

表 1
EXPERIMENTAL RESULTS

Supply voltage	$V_{DD}=5V$ $V_{SS}=0V$
Power dissipation of the modulator	0.8mW quiescent 1.2mW max.
Resolution	12bits
Reference current	18.5 μ A
I_{LSB}	4.5nA
Conversion time	177 μ s
Accuracy	Differential nonlinearity
	Integral nonlinearity
Process technology	2 μ m single poly double metal twin well CMOS
Active area	0.15mm ²



Conversion Characteristics



Differential Nonlinearity

図 9 : 変換特性

まとめ

カレントコピアセルをベースにした電流モードのアクティブピクセルセンサ用 FPN 抑圧回路、A/D 変換器を設計、試作し、その評価結果を報告した。試作した電流モード 2 次 incremental Δ - Σ A/D 変換器において、実効 11 ビット分解能、変換時間 177 μ s、消費電力 1.2mW (電源電圧 5 V) を得た。報告した実験結果と予備レイアウトをもとに、画素サイズ 10 μ m、画素数 1024 \times 1024、A/D 分解能 12 ビットのイメージセンサに対し、0.5 μ m CMOS を使用したとき、フレームレート 1 fps、消費電力 115mW が見積られる[4][9]。

参考文献

- [1] K. Matsumoto, *et. al.*, IEEE Trans. Electron Devices, pp. 989-990, May, 1991.
- [2] S. J. Daubert, *et. al.*, Electron. Letter, vol. 24, no. 25, pp. 1560-1562, Dec., 1988.
- [3] K. Mori, *et. al.*, ITE Ann. Conv., 1992, pp. 449-450 (in Japanese)
- [4] J. Nakamura, *et. al.*, to appear in IEEE Trans. Electron Devices, October, 1997.
- [5] C. Eichenberger and W. Guggenbuhl, IEEE J. Solid State Circuits, vol. 24, no. 6, pp. 1143-1146, August, 1989.
- [6] J. C. Candy and G. C. Temes, *Oversampling Delta-Sigma Data Converters*, New York, IEEE Press, 1992.
- [7] J. Robert and P. Deval, IEEE J. Solid State Circuits, vol. 23, pp. 736-741, June, 1988.
- [8] J. B. Hughes and K. W. Moulding, Electron Lett., vol. 29, no. 16, pp. 1400-1401, Aug. 5, 1993.
- [9] J. Nakamura, *et. al.*, 1997 IEEE Workshop on CCDs and Advanced Image Sensors, pp. R23-1,-4.